

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(10)

1 内のレジスタのデータを不意に書き換える恐れがある。したがって、このような電源ノイイスによりレジスタの書き込みが発生した場合、上記 R A N - B I S T の設定情報は破壊されて正常テスト動作が期待できない。また、テスト結果情報も同様に破壊され正しいテスト結果が得られない。つまり、前記の公知例ではクロック信号の供給や停止、あるいはクロック周波数の変化時に発生する電源ノイイスによる誤動作への対策について考慮する半導体構成回路装置のテスト方法。

ズが電極端子での配線抵抗、寄生容量あるいは寄生インダクタンス成分からなる共振回路において、共振周波数（約10MHz）より高い動作周波数のクロック信号では、かかる高い周波数に「追従できなくなる」ことからノイズ振幅が減少すると考えられる。実際に、LSIの動作サイクル800MHzで測定した電源ノイズは数十mV程度にしかならないことが実験で確かめられた。このことを利用して、本稿発明者においては、高密度、高

1

〔発明の属する技術分野〕 この発明は、半導体集積回路装置とそのテスト方法に関するものである。

【0008】この発明の目的は、高密度で高性能及び高信頼性を実現した半導体積層回路装置とそのテスト方法を提供することにある。この発明の他の目的は、高密度で高性能及び高信頼性とテスト時間の短縮化を図った半

[0002] [從来の技術] 大規模集積回路 (LSI) に搭載された RAM (ランダム・アクセス・メモリ) をテスト回路 B LIST を用いてテストするテスト方法として、米国特許第5173990号、日本国特許第2614413号がある。上記のテスト方法では、テスト回路 B LIST にスイッチ付きリップフロップ回路 F'を用いることによって、データを検索している。したがって、上記のテスト方法は、
(1) スキャン回路を用いてRAM-BISTへの設定を行なう、(2) 解析チスターの処理能力を超える高い周波数のクロックをLSIに印加し、RAM-BISTを用いたRAMテストを行なう、(3) スキャン回路を用いて(選いサイクルで) テスト結果を回収するという手順が用いられる。

1000.3) 上記のように伝送技術では、肝臓アダストの処理能力をを超える高い周波数サイクルで RAM テストを行なう場合、まず最初に肝臓テストの処理しうる周波数のサイクルで RAM を印加して、RAM テストの実行を行ない、かかる後に、クロック周波数を増加して肝臓アダストに対する監査を行なう。また、1 度クロックを停止させた後には、所定の周波数のクロックを印加し、RAM テストを行なう。また、RAM テスト後のテスト結果回収のためには、RAM テストを行なつたクロックサイクルの周波数を肝臓テストの処理しうる周波数のサイクルに減速させることとする。または、1 度クロックを停止させた後に、あらためて肝臓アダストに対する監査を行なう。この印加して、RAM テスト結果が格納されているレジスタの値を回収する。

[0004] 【発明が解決しようとする課題】近年のしらべ内葉子の運動高齢化により、L.S.I の動作電圧や構成ノイズは増加する方向にある。本願発明者等においては、クロック印加開始時と停止時には、電源に対する L.S.I のインピーダンスが変動するので大きな電源ノイズが発生することを見出した。この電源ノイズは、L.S.I

1内にレジスタのデータを不適に書き換える恐れがある。したがつて、このような電源ノイズによりレジスタの書き込みが発生した場合、上記RAN-BISTの検定機能は破壊されて正常テスト動作が期待できない。また、テスト結果判断も同様に破壊され正しいテスト結果が得られない。つまり、前記の公知例ではクロック発生の変化による誤動作への対策について考慮

されないので、 $I_1 = 100\mu A$ 上記クロック停止／開始時に電源ノイズが発生するメカニズムを検討した結果、次のことが原因によると推測される。前記のように I₁、I₂ の高密度度によって構成されるリップルフロッピ回路下敷（＝クロック信号に接続される抵抗数）が強度とならない。

内回路、例えれば論理回路やメモリ回路に直接的にテストパターンを入力し、かかるテストパターンに対応した出力信号を取り込むレジスタ (a) ないし (d) と、そのレジスタの選択回路を構成するレジスタアドレス生成回路 (b) 及びレジスタアドレスデータからなるテスト回路が設けられ

〔10012〕上記レジスタ(a)ないし(1)は、論理回路をテストする場合には論理回路の入力と出力の間に設けらるるフリップフロップ回路、メモリ回路をテストする場合にはメモリ回路を保持するフリップフロップ回路としての機能と、上記テスト動作のためのテストバタンに對応した論理回路を備え、上記テストバタンに對応するメモリ回路の読み込み出しが可能となる構成であつる。

[001-3] データ入力欄号、イネーブル欄号、書き込
みトリガ欄号及びカウントアップ欄号とカウンタリセッ
ト欄号は、テスト用の入力欄号とされる。カウンタリセ
ット欄号によりレジスタアドレス生成カウンタをリセッ
トさせ、カウントアップ欄号を供給すると、レジスタア
ドレス生成カウンタの計数動作に対応してレジスタ

[図10-4] レジスタ(a)～(d)のSD(セットデータ入力)端子は、共通に接続されて上記データ入力端子が供給される。レジスタ(a)～(d)のSE(セットトイネーブル)端子は、共通に接続されて上記イネーブルの選択信号を形成する。

り、このような動作は、上記システムクロックに対する応答として実行される。

[0017] 上記イネーブル信号を有効にして再びテストモードに設定し、上記のようにカウントリセット信号によりレジスタアドレス生成カウンタをリセットさせ、カウントアップ信号を供給してレジスタ(a)～(d)を順次に選択すると、カウントアップ信号に対する応答としてデータ出力がシリアルに得られる。この論理OR(OR)は、レジスタ(a)～(d)のCQ(キャプチャデータ出力)端子を共通に接続したワイヤード論理によっても構成することができる。

[0018] 上記のように図1の実施例では、レジスタ回路を用いた書き込み出し制御回路例であり、例えばRAM-BUS写入を実行する前に値を設定する必要のあるレジスタ、または、RAM-BUS写入後には値を読み出す必要なレジスタ(a)～(b)～(c)～(d)である。レジスタ(a)～(h)～(c)～(d)の選択は、レジスタアドレスを生成するカウンタと、レジスタアドレステーブルによって形成された信号のハイペル(H')をレジスタのシグナル端子に与えることによりなされる。システムクロック入力ピンは、高周波スジエネレータに接続され、RAMテストが必要とする任意の周波数のクロックバルスが印加される。これに対して、データ入力、イネーブル、書き込みトリガ、カウントアップ、カウントリセット、データ出力ピンは、LSI1端子と接続され、LSI1テストの処理する周波数のサイクルで制御が行なわれる。

[0019] 図2には、この発明に用いられるレジスタの実施例のブロック図が示されている。(A)は書き込み／読み出し可能レジスタであり、(B)は書き込み／読み出し可能レジスタであり、(C)は書き込み／読み出し可能レジスタは、テストモードとなる。SE(セッティング)端子D、E及びSD(セッティング)端子D、Eの回路を使い分けること

が合理的である。SE(セッティング)端子Dに「1」を入力した場合、レジスタは通常のレジスタとして動作を行なう。つまり、図3のレジスタ(A)～(C)において、SD(セッティング)端子Dに「1」を入力した場合、回路と導線は、前記図2の回路から構成されている。この実施例で用いられるレジスタは全てMUX-SCAN方式で自動診断が可能なデータイネーブル(DE)付きブリッジロップ(BF)である。ここでMUX-SCAN方式のブリッジロッドを利用した理由は、これら

の論理診断方式とこの発明に係るテスト回路ないしテスト回路との間で示すものである。したがって、I.SIの診断方式をMUX-SCAN方式に限定するのではなく、他の診断方式(例えはSSDI方式)であってもかまわない。

[0020] 図3(A)では、2つのマルチレクサと2つの論理ゲート回路が追加される。つまり、SEN(Scan Enable)端子、S1D(Scan In Data)端子、S0D(Scan Out Data)端子は、MUX-SCAN方式で自動診断が可能なデータイネーブル(DE)により制御されるマルチレクサにより前記DE(データイネーブル)と、S1T(セッティング)端子、S1S(セットケレクト)とSet Selectとの論理和がレジスタのDE端子に供給される。そして、レジスタからのQ

端子(S1D)に「1」を入力した場合、上記SD(セッティング)端子に「1」を入力すれば、書き込み動作が行なわれる。

[0021] 図3(B)において、DE(データイネーブル)端子とハイレベル(H')に接続されると、マルチプレクサがハイレベル(H')になると、マルチプレクサがハイレベル(H')の端子(S1D)に「1」を入力すれば、書き込み動作が行なわれる。

[0022] 図3(C)において、DE(データイネーブル)端子とハイレベル(H')に接続されると、マルチプレクサがハイレベル(H')の端子(S1D)に「1」を入力すれば、書き込み動作が行なわれる。このように、各レジスタの動作が異なる。また、特にI.SI診断を必要としないならば、診断なしDとしててもかまわない。

[0023] 図3(D)において、SEN(Scan Enable)端子、S1D(Scan In Data)端子、S0D(Scan Out Data)端子は、MUX-SCAN方式で自動診断が可能なデータイネーブル(DE)により制御されるマルチレクサにより前記DE(データイネーブル)と、S1T(セッティング)端子、S1S(セットケレクト)とSet Selectとの論理和がレジ

により制御される論理ゲートを介してCQ(キャプチャデータアウト：Capture Data Out)として出力される。図3(B)では、(A)の構成に対してCQ(キャプチャデータアウト)を出力する回路が削除される。図3(C)では、(A)の構成に対してSD(データ入力)端子からの信号を取り込み、ロウレベル(論理0)なら上記D又はQの信号を取り込む。そして、(C)クロック；Clock)のハイレベル(論理1)により入力段側のラッチ回路をスルー状態にしてカーデータを取り込み、出力段側のラッチ回路に対して直前に取り込まれたデータを保持する。CK(クロックレベル(論理0))により、システィムクロックをレジスタに対して高速で、かつ、連続して印加している状態のまま、レジスタへの書き込み、読み出しをシステムクロックに対してあたかも非同期であるかのようにS1～S1T端子の動作周波数によって制御できる。以下の説明において、上記のようなシステムクロックに対して取扱い込んである信号の「1」パルス幅がシステムクロックの周波数に対して十分に広い場合にはいて、システムクロックCKの動作周波数にかかるはず、ST信号トリガバルスのサイクルによって制御することが生しない。したがって、S1T信号の「1」パルス幅がシステムクロックCKに対する許可した場合以外に、書き込み動作は発生しない。

[0024] 図3(A)ないし(C)のレジスタは、テスト回路B～STにに対する設定やテスト結果の読み出し制御をシステムクロックと、それより低い周波数にされた信号S1～ST及びS1～Tに対応させて行なう。つまり、システィムクロックをレジスタに対して高速で、かつ、連続して印加している状態のまま、レジスタへの書き込み、読み出しをシステムクロックに対してあたかも非同期であるかのようにS1～S1T端子の動作周波数によって制御できる。以下の説明において、上記のようなシステムクロックに対して取扱い込んである信号の「1」パルス幅がシステムクロックの周波数に対して十分に広い場合にはいて、S1T信号の「1」パルス幅がシステムクロックCKが印加されている。このような高速サイクルのクロックCKが印加されている状態においても、クロックの周波数を落すことなく、テスト処理可能な速い周波数に適合された遅い周波数とした前記の「擬似的クロック非同期書き込み」判断。

[0025] 上記により、前記500MHz～800MHzのような高速サイクルのクロックCKが印加されている状態においても、クロックの周波数を落すことなく、テスト処理可能な速い周波数に適合された遅い周波数とした前記の「擬似的クロック非同期書き込み」判断が実現できる。

[0026] 図4において、S1Eをハイレベル(H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期動作モード」に對応されたものである。SD(セッティング0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベルにする。クロック信号CKに同期して上記S1～Hの論理0からレジスタに書き込まれる。このとき、クロックCKの周波数が高いので、上記S1T信号がハイレベルにおいてかかるクロックCKに同期して上記S1～Hから入力されたテストバタン並びに他のデータが書き込まれる。つまり、同じデータが何回か書き込まれる。SD(セッティング0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを非選択にすると、S1Tをハイレベルにして当該レジスタとしても動作が行なう。つまり、図3のレジスタのS1Eに「1」を入力した場合、回路と導線は、前記図2の「擬似的クロック非同期書き込み動作モード」を実現する。つまり、S1Sをハイレベルにして当該レジスタを非選択にすると、S1Tをハイレベルにして当該レジスタが非選択であるので上記S1Dから入力されたハイレベル(論理1)のテストバタンが書き込まれてしまうことはない。つまり、このときには、S1Sによって選択された別のレジスタに対しても上記S1Dから入力された論理0が書き戻すので書き込まれる。

[0027] 図4において、S1Eをハイレベル(論理1)にし、S1Sをハイレベル(論理0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベル(論理H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期動作モード」に對応されたものである。SD(セッティング0)としてテスト

バタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベルにする。クロック信号CKに同期して上記S1～Hの論理0からレジスタに書き込まれる。

[0028] 図3(A)～(C)の回路を使い分けること

が合理的である。

[0029] SD(セッティング)端子は、「擬似的クロック非同期書き込みモードにおける、レジスタ書き込みデータである。つまり、図3の各レジスタ(A)～(C)において、SD(セッティング)端子Dに「1」を入力した場合、回路と導線は、前記図2の回路から構成される。同様に、端子D、E及びQの代わりとして示すように書き込み出力端子S1D、SEN、S0Dは書き込まれている。クロック端子は三角により示している。

[0030] 図3(A)では、2つのマルチレクサと

により制御される論理ゲート(論理0)ならQ(キャプチャデータアウト：Capture Data Out)として出力される。図3(B)では、(A)の構成に対してCQ(キャプチャデータアウト)を出力する回路が削除される。図3(C)では、(A)の構成に対してSD(データ入力)端子からの信号を取り込み、ロウレベル(論理0)なら上記D又はQの信号を取り込む。そして、(C)クロック；Clock)のハイレベル(論理1)により入力段側のラッチ回路をスルー状態にしてカーデータを取り込み、出力段側のラッチ回路に対して直前に取り込まれたデータを保持する。CK(クロックレベル(論理0))により、システィムクロックをレジスタに対して高速で、かつ、連続して印加している状態のまま、レジスタへの書き込み、読み出しをシステムクロックに対してあたかも非同期であるかのようにS1～S1T端子の動作周波数によって制御できる。以下の説明において、上記のようなシステムクロックに対して取扱い込んである信号の「1」パルス幅がシステムクロックの周波数に対して十分に広い場合にはいて、S1T信号の「1」パルス幅がシステムクロックCKが印加されている。このような高速サイクルのクロックCKが印加されている状態においても、クロックの周波数を落すことなく、テスト処理可能な速い周波数に適合された遅い周波数とした前記の「擬似的クロック非同期書き込み」判断。

[0031] 上記により、前記500MHz～800MHzのような高速サイクルのクロックCKが印加されている状態においても、クロックの周波数を落すことなく、テスト処理可能な速い周波数に適合された遅い周波数とした前記の「擬似的クロック非同期書き込み」判断が実現できる。

[0032] 図4において、S1Eをハイレベル(H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期動作モード」に對応された前記の「擬似的クロック非同期書き込み」判断が実現できる。

[0033] 図4において、S1Eをハイレベル(H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期動作モード」に對応されたものである。SD(セッティング0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベルにする。クロック信号CKに同期して上記S1～Hの論理0からレジスタに書き込まれる。このとき、クロックCKの周波数が高いので、上記S1T信号がハイレベルにおいてかかるクロックCKに同期して上記S1～Hから入力されたテストバタン並びに他のデータが書き込まれる。つまり、同じデータが何回か書き込まれる。SD(セッティング0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを非選択にすると、S1Tをハイレベルにして当該レジスタが非選択であるので上記S1Dから入力された論理0が書き戻すので書き込まれる。

[0034] 図4において、S1Eをハイレベル(論理1)にし、S1Sをハイレベル(論理0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベル(論理H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期動作モード」に對応されたものである。SD(セッティング0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベルにする。クロック信号CKに同期して上記S1～Hの論理0からレジスタに書き込まれる。

[0035] 図4において、S1Eをハイレベル(論理1)にし、S1Sをハイレベル(論理0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベル(論理H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期書き込み」モードにおける、レジスタ書き込みデータである。つまり、図3の各レジスタ(A)～(C)において、SD(セッティング)端子Dに「1」を入力した場合、回路と導線は、前記図2の回路から構成される。同様に、端子D、E及びQの代わりとして示すように書き込み出力端子S1D、SEN、S0Dは書き込まれている。クロック端子は三角により示している。

[0036] SD(セッティング)端子は、「擬似的クロック非同期書き込みモードにおける、レジスタ書き込みデータである。つまり、図3の各レジスタ(A)～(C)において、SD(セッティング)端子Dに「1」を入力した場合、回路と導線は、前記図2の回路から構成される。同様に、端子D、E及びQの代わりとして示すように書き込み出力端子S1D、SEN、S0Dは書き込まれている。クロック端子は三角により示している。

[0037] SD(セッティング)端子は、「擬似的クロック非同期書き込みモードにおける、レジスタ書き込みデータである。つまり、図3の各レジスタ(A)～(C)において、SD(セッティング)端子Dに「1」を入力した場合、回路と導線は、前記図2の回路から構成される。同様に、端子D、E及びQの代わりとして示すように書き込み出力端子S1D、SEN、S0Dは書き込まれている。クロック端子は三角により示している。

[0038] SD(セッティング)端子は、「擬似的クロック非同期書き込みモードにおける、レジスタ書き込みデータである。つまり、図3の各レジスタ(A)～(C)において、SD(セッティング)端子Dに「1」を入力した場合、回路と導線は、前記図2の回路から構成される。同様に、端子D、E及びQの代わりとして示すように書き込み出力端子S1D、SEN、S0Dは書き込まれている。クロック端子は三角により示している。

[0039] 図4において、S1Eをハイレベル(論理1)にし、S1Sをハイレベル(論理0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベル(論理H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期動作モード」に對応された前記の「擬似的クロック非同期書き込み」判断が実現できる。

[0040] 図4において、S1Eをハイレベル(論理1)にし、S1Sをハイレベル(論理0)としてテストバタンを入力し、S1Sをハイレベルにして当該レジスタを選択する。そして、S1Tをハイレベル(論理H')とした書き込み／読み出しモード(テスト)は、前記のような「擬似的クロック信号同期動作モード」に對応された前記の「擬似的クロック非同期書き込み」判断が実現できる。

ック非同期「込み」制御によって、L.S.I.テストの処理する周波数のサイクルに応じたカウンタリセット信号とカウンタアップ信号によりレジスタアドレスを生成し、レジスタ（a）と（b）を順次に選択し、それに応じさせてデータ入力から結果、論理1、論理0のテストバターンと書き込みトリガを入力する。これにより、レジスタ（a）には論理1が、レジスタ（b）には論理0のテストバターンがシリアルに入力される。

【0036】イネーブル信号をクロックレベルになると、テスト対象RAM選択回路2、テストバタン生成回路1、判定レジスタ5及び乾済アドレスレジスタ7を構成するレジスタのアドレス信号を生成する。アドレスデータに対しては前記レジスタ（a）、（b）にセットされてテストバタンに対応してメモリアクセスが行われる。このメモリアクセスにより例えばレジスタ（c）や（d）には読み出しデータが取出され、選択されたレジスタの様子を再びハイレベルすると、イネーブル信号モード（テスト）とされ、前記のような「慣性的」クロック非同期読み出し制御によって、L.S.I.テストの処理しうる周波数のサイクルにおいたしたカウンタアップ信号によりレジスタアドレスを生成し、レジスタ（c）と（d）を順次に選択し、それに対応させてデータ出力から前記テストバタンに対する応答読み出し信号をシリアルに出力させる。

【0038】図1及び図5に示した実施例では、イネーブルなし「込みトリガ等の各制御ピン、およびデータ出力ピンをL.S.I.ピンとし、L.S.I.テストによって直接的に制御、出力判定するものとして示したが、例えばこれをJTAGインターフェイス等を介して間接的に制御することも可能である。

【0039】図6には、この発明に係る半導体集積回路装置の実施例のブロック図が示されている。この実施例では、RAM-B.I.S.T回路に組み込んだ半導体集積回路装置に向かっている。この実施例の半導体集積回路装置は、以下の各回路ブロックにより構成される。

【0040】1はRAMテストバタン生成回路であり、2はテスト対象RAM選択回路である。つまり、1つの半導体集積回路装置に複数のRAMが搭載された場合、各RAM毎に同じテストバタン生成回路1が生成したデータスト用い、上記テスト対象RAM選択回路により指定される複数のRAMを順次に切り替えてテストを実施するものである。

【0041】3は、切替回路であり、テスト動作システム動作との切替動作を行う。つまり、切替回路3は、RAM14に対して一概論理で形成された信号による通常のメモリアクセスと、テストバタン生成回路1で生成されたテストバタンによるメモリアクセスとの切替を行う。4はRAM出力と出力期待値とを比較する判定回路であり、出力期待値は上記テストバタン生成回路1により形成されたものが伝えられる。5は、判定レジスタであり、上記半定回路4の判定結果（テスト結果）を構成するレジスタである。

【0042】6は、乾済解析回路であり、不良RAMアドレスを計算する。この乾済解析回路6で計算された結果を回収動作を連続して行なう事ができ、クロックの停止や变速をともなないので、電源が安定した状態、つまりは電源ノイズによるレジスタの駆動動作が発生しない状態でRAM-B.I.S.T動作を行なうことができるものとなる。

【0043】10はレジスタアドレス生成回路であり、NUX-S SCAN方式の各要素回路の動作を制御する。RAM14は、テスト対象のメモリ回路である。L.S.I.は、SETモードとなってRAM-B.I.S.TによるRAMテスト結果の判定は、以下の各回路のレジスタを読み出すことにより行なう。判定レジスタ5からは良品／不良品情報を、乾済アドレスレジスタ7からは乾済アドレスが読み出される。各レジスタ（3）の入力ピンS.Eには「H」が設定され、「慣性的」クロック非同期動作、状態になる。レジスタのS.Tピンに「H」が入力されなければ、レジスタの内容が書き替わることはない。レジスタアドレス生成回路への設定と、レジスタに対する読み出し方法については前記に説明した通りである。そして、動作モードを「システム動作モード」にする。これに対応して切替回路3は、システム動作を選択し、通常システム動作となる。

【0044】図6のRAM-B.I.S.T回路では、RAM-B.I.S.Tの制御をコントロール回路13が統括する。コントロール回路13は動作モード選択信号で制御される。図6のRAM-B.I.S.T回路でのRAMテストを行なう手順は以下の通りである。システムクロックを印加する。クロック周波数はRAMテストを行なうための任意の周波数、例えば実際の動作周波数よりも低い周波数とされ、RAM-B.I.S.Tによる動作終了まで停止する必要がなく繰り返すことができる。

【0045】動作モードを「レジスタ設定モード」にする。RAM-B.I.S.T回路によるRAMテストを行なうために、以下の各回路のレジスタに対して条件（テストバタン）が設定される。RAMテストによるRAMバタンに対しては発生させるテストバタン生成回路1に対するRAM選択回路2に対してはテストを行なうRAMの選択（RAMが複数ある場合）、切替回路3においてはデータスト動作を行なうことを認定、判定レジスタ5と乾済アドレスレジスタ7は、初期化される。各レジスタ（図3）の入力ピンS.Eには「H」が設定され、「慣性的」クロック非同期書き込み」状態にされる。レジスタアドレス生成回路10への設定と、レジスタに対する書き込み方法については前記説明した通りである。

【0046】動作モードを「RAMテストモード」にする。上記レジスタ（図3）の入力ピンS.Eには「L」が設定され、「通常動作」状態になる。これにより、RAM14には、上記テストバタン生成回路1で生成されたテストバタンによるメモリアクセスとの切替を行なう。4はRAM出力と出力期待値とを比較する判定回路であり、出力期待値は上記テストバタン生成回路1により形成されたものが伝えられる。5は、判定レジスタで「H」パルスを入力することにより、RAMテストを開始することができる。前記により、本願発明では、RAMテスト

【0047】RAMテストバタン生成回路1では、テストバタンを生成し、切替回路3によりテスト動作を遮断し、判定回路4によりRAM出力と出力期待値とを比較し、判定レジスタ5による判定結果（テスト結果）を格納する。乾済解析回路6は、不良RAMアドレス乾済アドレスを計算し、乾済アドレスレジスタ7に計算された乾済アドレスを供給する。「RAMテストモード」では、全ての回路がクロックCKの周波数で動作する。

【0048】動作モードを「レジスタ回取モード」4にする。RAM-B.I.S.TによるRAMテスト結果の判定は、以下の各回路のレジスタを読み出すことにより行なう。判定レジスタ5からは良品／不良品情報を、乾済アドレスレジスタ7からは乾済アドレスが読み出される。つまり、電源系に含まれる共振回路が追従できないような高い周波数のクロック信号を供給させた状態とし、その共振周波数付近で発生する大きなノイズの発生を抑制して電源ノイズが少ない環境を作り出す。

【0049】そして、テスト対象であるL.S.I.の動作速度に比べて、能力の低いテストを使って低い周波数でのL.S.I.に対するテスト制御（テストを行なうためのB.I.S.Tに対する設定やテスト結果の読み出し）は、上記のクロックとは「非同期」つまりは「ゆっくり制御」を行なう手段を使わざることにより、能力の低いテストを使ってでもテストが可能である。このテストの能力でのデータ入出力は、前記電源回路での共振周波数付近であることが多い。この発明に係る共振周波数及びテスト方法は、わざわざ上記共振周波数帯を避けためにより高い周波数で動作させることなく、テスト回路の性能を十分に発揮せることができるからテスト時間の短縮化が図れる上でも有益なものができる。

【0050】つまり、上記のような共振周波数よりも低い周波数でのテストのデータ入出力をを行うと、そのデータスト時間は長くなる。このような低い周波数でのデータ入出力を行なうために、前記クロック信号を低くしてたり、あるいは変更せざると前記のような電源ノイズが発生して、レジスタにおいてテストバタンの保持ができず、あるいは判定結果の保持ができなくなるが、この発明の適用によってそのような問題も回避することができる。

【0051】この実施例のように、低速なテスト装置を用いて、L.S.I.を高速動作させるためには、上記システムクロックだけは高い周波数のものをL.S.I.に供給する手段が必要になる。この実施例では、L.S.I.に内蔵のP.I.回路16により前記のような約800MHzのようない周波数のクロック信号が形成される。例えば、P.I.回路16での分周比を1/6倍にすれば、低速のテスト回路が約50MHzのようなくロック信号しか供給できない能力しか持たないものでも、L.S.I.側ではそれに対応した800MHzのような高い周波数のクロック信号

を行なう高速サイクルのクロックを印加したまま、RAM-B.I.S.Tへの設定動作→RAMテスト動作→テスト結果の回収動作を連続して行なう事ができ、クロックの停止や变速をともなないので、電源が安定した状態、つまりは電源ノイズによるレジスタの駆動動作が発生しない状態でRAM-B.I.S.T動作を行なうことができるものとなる。

【0053】この実施例では、L.S.I.の論理診断方式（たとえば、MUX-SCAN方式）の構成の中で実現することが可能であり、RAM-B.I.S.T回路自身の動作確認を上記L.S.I.の実動動作によって行なうことが可能である。高速サイクル（＝L.S.I.の実動サイクル）でのクロック動作を連続的に行ない、L.S.I.の電源を安定させる。つまり、電源系に含まれる共振回路が追従できないような高い周波数のクロック信号を供給させた状態とし、その共振周波数付近で発生する大きなノイズの発生を抑制して電源ノイズが少ない環境を作り出す。

【0054】そして、テスト対象であるL.S.I.の動作速度に比べて、能力の低いテストを使って低い周波数でのL.S.I.に対するテスト制御（テストを行なうためのB.I.S.Tに対する設定やテスト結果の読み出し）は、上記のクロックとは「非同期」つまりは「ゆっくり制御」を行なう手段を使わざることにより、能力の低いテストを使ってでもテストが可能である。このテストの能力でのデータ入出力は、前記電源回路での共振周波数付近であることが多い。この発明に係る共振周波数及びテスト方法は、わざわざ上記共振周波数帯を避けためにより高い周波数で動作させることなく、テスト回路の性能を十分に発揮せることができるのである。このテスターの能力でのデータ入出力は、前記電源回路での共振周波数付近である上でも有益なものができる。

【0055】つまり、上記のような共振周波数よりも低い周波数でのテストのデータ入出力をを行うと、そのデータスト時間は長くなる。このような低い周波数でのデータ入出力を行なうために、前記クロック信号を低くしてたり、あるいは変更せざると前記のような電源ノイズが発生して、レジスタにおいてテストバタンの保持ができず、あるいは判定結果の保持ができなくなるが、この発明の適用によってそのような問題も回避することができる。

【0056】この実施例のように、低速なテスト装置を用いて、L.S.I.を高速動作させるためには、上記システムクロックだけは高い周波数のものをL.S.I.に供給する手段が必要になる。この実施例では、L.S.I.に内蔵のP.I.回路16により前記のような約800MHzのようない周波数のクロック信号が形成される。例えば、P.I.回路16での分周比を1/6倍にすれば、低速のテスト回路が約50MHzのようなくロック信号しか供給できない能力しか持たないものでも、L.S.I.側ではそれに対応した800MHzのような高い周波数のクロック信号

(前記図3のレジスタ)が用いられる。

[0063] 前記ブロック分割された一般論理21に対応するテスト対象ドット(レジスタ)は、各クロック毎にテスト入力S-IDと出力S-IDとを用いてシリアルアドレスを制御する。したがって、前記以乱数発生器PAGRも上記ブロック分割されたテスト対象ドットが複数個が駆けられる。同時に、上記ブロック分割されたテスト対象ドットに対応して複数個が駆けられる。しかし、このようなP1.1回路1.6で生成されたシステムクロック信号と、低速なテスト装置との正確な同期を探ることは大変困難になるものである。本願発明では、クロック信号に対して非同期でRAM-B1-Sの制御が可能であるので、この構成によるテストを実現することができる。

[0064] この実施例のLOGIC-B1-STの動作を図8のタイミング図を参照して次に説明する。複数発生器PAGRと応答延滞器MISRに対する制御、つまりRAM-B1-STの制御が可能であることから、前記実施例のP1.1回路1.6に代えて、低速なテスト装置とクロックのみを高速で供給する装置、つまりパルス発生回路との組み合わせとしてもよい。このようなパルス発生回路(パルスジェネータ装置)は、数GHzのようないくつかのパルス信号を生成するものが比較的安価で入手可能のために、上記パルス発生回路を含めたテスト装置を安価で形成することができる。

[0065] 図7には、この説明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例は、LOGIC(論理回路)-B1-ST間に接続される。上記複数発生器PAGRで発生されたテストパターンは、B1-ST開始信号によりB1-ST動作に移行する。このとき、B1-STの論理回路の全てのテスト対象FFにMUX-S CAN制御によってシリアルに伝達される。このとき、レジスタ書き込みトリガGSTは、クロック信号によって制御する必要があるので、モード選択信号およびB1-ST開始トリガ信号を入力とするB1-ST制御回路によって生成される。

[0066] 上記のようなスキーマン動作が終了する後、B1-ST前回路はシステムクロックの周期だけMUX-S CAN制御信号をロウレベルにする。これにより、上記テスト対象FFの入力は、前記MUX-S CANエンコーダから一輪論理21側に切り替えられて論理動作を実施する。そして、上記MUX-S CAN制御信号は、下レベルにすることにより、シャキーンアウト動作に移行して上記一般論理21の出力信号がシリアルに応答延滞器MISRの上記一般論理21に入力されて駆動される。そこで、レジスタ書き込みトリガGSTは、シリアルデータがMISR内F(レジスタ)に保持される。そして、レジスタ書き込みイネーブル信号をS-ID端子に供給し、レジスタ書き込みトリガをS-ID端子に供給した後、B1-ST制御回路により形成されたレジスタ書き込みトリガをS-ID端子に供給する。

[0067] つまり、図示しないレジスタアドレス生成カウンタへ形成されたレジスタ選択アドレスをデコードして各レジスタのS-ID端子に入力する。そして、前記のようなレジスタ書き込みデータをS-ID端子に供給し、レジスタ書き込みイネーブルをS-ID端子に供給された後、B1-STの出力動作に移行する。この実施例では、B1-STテスト対象である一般論理21が複数個のクロック信号を駆けられることにより、MISRの読み出しを前記レジスタ選択アドレス信号(S-ID)を用いて行う。

[0068] この実施例のLOGIC-B1-STは、前記6のRAM-B1-STと共存できる。また、図7の(一般論理)の中にRAM-B1-STを組み込むことが可能である。この場合、RAM-B1-STの論理診断を、このLOGIC-B1-STを使用して行なうことができる。

[0068] 図9には、この説明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例の半導体集積回路装置は、特に制限されないが、DRAM(ダイナミック型RAM)とSRAM(ステータイック型RAM)と、それを制御するためのユーザーロジック(User Logic)及びテスト回路B1-STとインターフェイス回路JTAGからなる。上記インターフェイス回路JTAGは、クロック端子TCKに同調し、モード設定信号TMS及びテスト入力カーデータTDI及びテスト出力データTDOをシリアルに入出力する。

[0069] DRAMは、特に制限されないが、64Kワード×288ビット(約1.8、4Nビット)のよう大きな記憶容量を持つDRAMアピアト、かかるDRAMコアに対して書き込み用に7.2ビットずつの記憶容量を持つ4つのレジスタとを備える。SRAMはその入出力動作時のバッファレジスタとしての役割を待ち、特に制限されないが、それぞれが1.2ワード×7.2ビットを持つ書き込み用のポートが4個設けられ、それが1.2ワード×7.2ビット持つ読み出し用のポートが4個設けられる。ユーザーインターフェイス部と、7.2ビットの単位で入出力する入出力インターフェイス部と、7.2ビットずつのデータを上記SRAMとDRAMとの間で伝達するマルチブレクサ等から構成される。

[0070] テスト回路B1-STは、ユーザーロジック部においてチーニング状態を構成するようにされたラッチ回路に対してシリアルにテストバーチャンを供給し、ユーザーロジック部及びDRAMやSRAMに対する動作を指示する信号をパラレルに送出させるというMUX-SCAN経路と、この発明に係る前記「擬似クロック非同期動作」によるテスト経路などを備える。これにより、DRAMやSRAM及びユーザーロジックは、必要に応じてMUX-SCAN又は「擬似クロック非同期動作」のいずれかの動作モードによりテスト回路B1-STから供給されるテストバーチャン回路によって内部回路が動作させられてその判定を行なうことができる。

[0071] 上記の実施例から得られる作用効果は、下記の通りである。

(1) クロック信号に従って動作する内部回路に入力されるテストバーチャンを保持する第1のラッチ回路及び上記第2のラッチ回路を含むテスト回路を構成し、上記テスト回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に供給する。したがって、上記内部回路の動作に則したテストを実施でき、個性の高い判定結果を得ることができる。

[0072] (2) 上記に加えて、テスト動作のときのクロック信号を上記内部回路の通常の動作状態に組み込むようにすることにより、少ないテストバーチャンでの論理回路のテストを実施することができる。

[0073] (3) 上記に加えて、上記テスト動作のときのクロック信号を、上記メモリ回路の通常の動作状態に対する周波数することにより、実際の回路動作に則したテストを実施でき、個性の高い判定結果を得ることができる。

[0074] (4) 上記に加えて、上記メモリ回路とその対応した周波数することにより、実際の回路動作に則したテストを実施でき、個性の高い判定結果を得ることができる。

[0075] (5) 上記に加えて、上記メモリ回路と上記期待値を生成するテストバタン生成回路及び上記第1のラッチ回路に保持されたテストバタンの入力と、通常動作ときの入力とを切り替える切替回路、上記メモリ回路から読み出された第2のラッチ回路の出力信号と上記期待値とを比較する比較判定回路とをを備えることにより、簡単なテストを用いることができる。この効果が得られる。

[0076] (6) 上記に加えて、上記メモリ回路として、上記比較判定回路の判定出力とメモリ回路に入力されるアドレス信号とを受けて数据を要素を判定する校正解析回路と、上記校正解析回路での数据アドレスを保持する較正アドレスレジスタとを更に備えるようになる。このことによって、メモリ回路に冗長機能を持たせることができるのである。

[0077] (7) 上記に加えて、上記メモリ回路を複数個とし、上記テスト回路に複数個のメモリ回路のうち、テスト対象のメモリ回路を指定するメモリ選択回路を更に備えるようになる。この効果が得られる。

[0078] (8) 上記に加えて、テスト動作のときのクロック信号を上記内部回路の通常の動作状態に組み込むようにすることにより、実際の回路動作に則した周波数することにより、実際の回路動作に則した周波数を実施することができる。

[0079] (9) 上記に加えて、上記テスト回路と上記論理回路の入力端子に供給される力信号が駆けられることにより、実際の回路動作に則した周波数を実施することができる。

上記論理回路の出力信号を保持する第2のラッチ回路の出力信号を受ける応答圧縮器とを更に繋ぐようにする。前記レジスタは、Linux-S.C.A.N制御のための入出力機能を省略してもよい。クロック信号の周波数は、テスト環境において実際の動作状態の周波数よりも低い周波数としてもよい。例えば、半導体ウエハ上にしらしが完成された時点でのプローピングでは、実際の動作状態と同じ高い周波数のクロックの供給が困難な場合には、それよりも低い周波数を供給して動作させるものであってもよい。ただし、そのときの電源系で共振周波数よりも十分に高い周波数であることが必要である。この発明は、論理回路、メモリ回路を含む各種半導体集積回路装置とそのテスト方法に広く利用できることにより、同時並列的に論理回路の検証ができるという効果が得られる。

[0081] (1.1) クロック信号に従つて動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びチップ回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に維持的に供給した状態で、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に応じて行うことにより、クロックの開始や停止及び変速により行うことができるという効果が得られる。

[0082] (1.2) 上記に加えて、上記内部回路をメモリ回路とし、アドレス信号と動作制御信号とを含むテストパターンを入力し、第2のラッチ回路にメモリ回路の読み出し信号を取り込むことにより、クロックの論理回路から切り離した単独でのテストを実施することができ、テスト時間の短縮化を図ることができることがいう効果が得られる。

[0083] (1.3) 上記に加えて、上記内部回路を論理回路とし、上記第1と第2のラッチ回路を上記論理回路の入力部と出力部に接続されるリップル回路に組み込むようにすることにより、少ないテストパターンでの論理回路のテストを実施することができる効果が得られる。

[0084] (1.4) 上記に加えて、テスト動作とのときのクロック信号を上記内部回路の通常の動作状態に応じた周波数することにより、実際の回路動作に則したテストを実施でき、信頼性の高い判定結果を得ることができるという効果が得られる。

[0085] 以上本発明よりなされた発明を実施例に基づき具体的に説明したが、本発明は前述実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、レジ

すブロック図である。

[図1] 図1のレジスタの動作の一例を説明するためのタイミング図である。

[図2] 図1の実施例回路の動作の一例を説明するためのタイミング図である。

[図3] 図2の実施例回路の動作の一例を示すプロック図である。

[図4] 図3の実施例回路の動作の一例を示すプロック図である。

[図5] 図1の実施例回路の動作の一例を示すプロック図である。

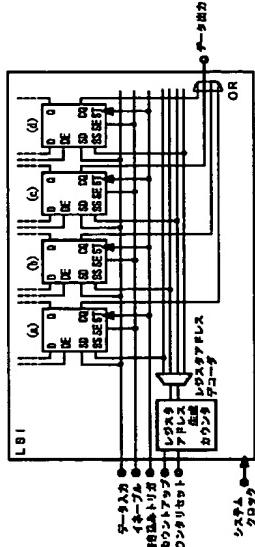
[図6] この発明に係る半導体集積回路装置の一実施例を示すプロック図である。

[図7] この発明に係る半導体集積回路装置の他の一実施例を示すプロック図である。

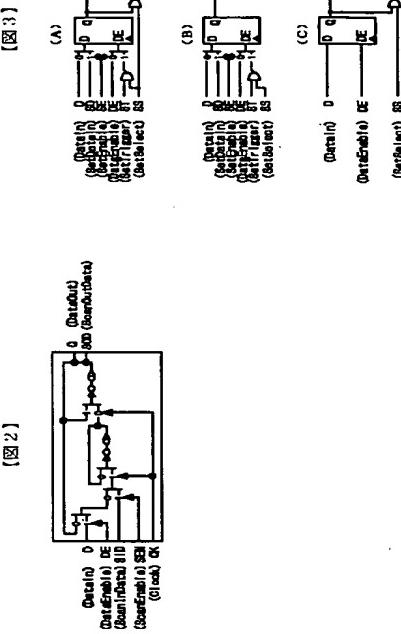
[図8] 図7の実施例を説明するためのタイミング図である。

[図9] この発明に係る半導体集積回路装置の他の一実施例を示すプロック図である。

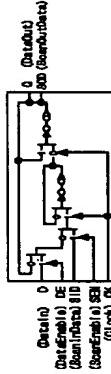
[図1]



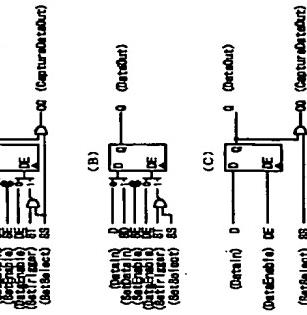
[図2]



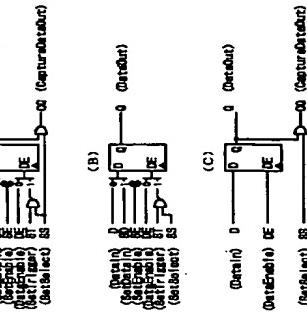
[図3]



[図4]



[図5]



[図6]

[図7] この発明に係る半導体集積回路装置に設けられたテスト回路の一実施例を示すプロック図である。

[図8] この発明に用いられるレジスタの基本回路の一実施例を示すプロック図である。

[図9] この発明に用いられるレジスタの一実施例を示すプロック図である。

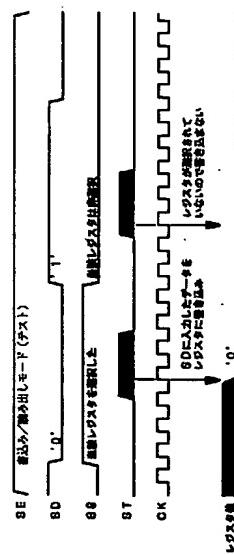
[図面の簡単な説明]

[図1] この発明に係る半導体集積回路装置に設けられたテスト回路の一実施例を示すプロック図である。

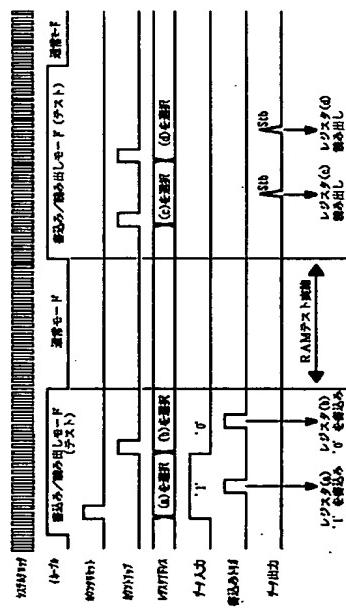
[図2] この発明に用いられるレジスタの基本回路の一実施例を示すプロック図である。

[図3] この発明に用いられるレジスタの一実施例を示すプロック図である。

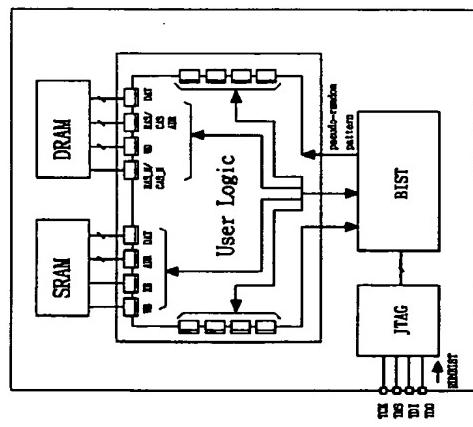
【図1】



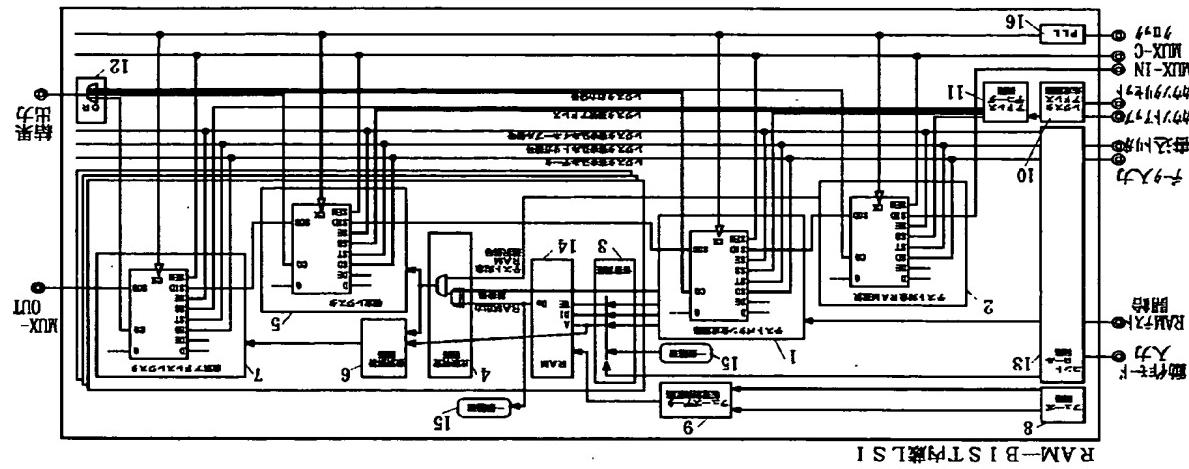
【図5】



【図9】

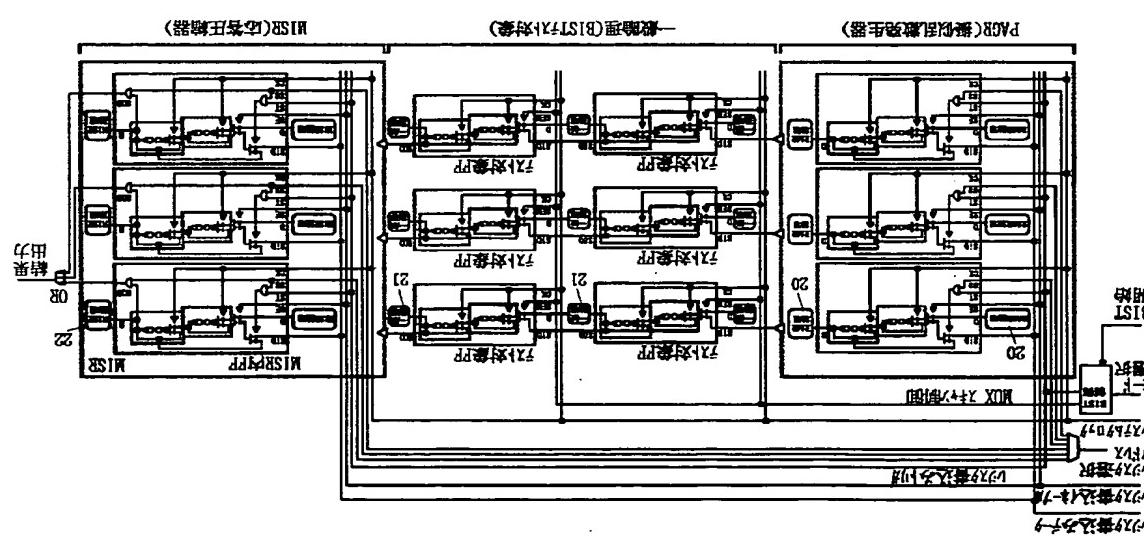


【図6】



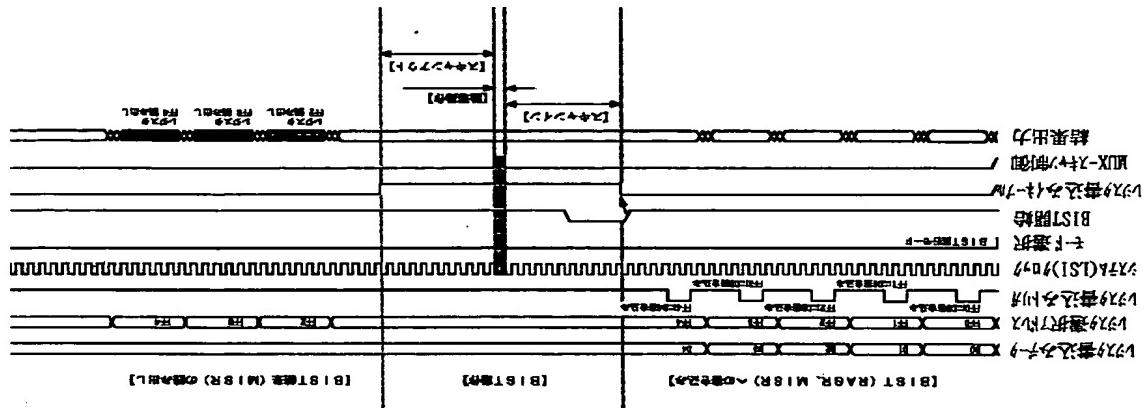
特開平14-174662

[5]



(16)

[8]



(17)

特開平14-174662

フロントページの続き

(51)Int.Cl.7

識別記号

F I

G 01 R 31/28

G

(72)発明者 日下田 恵一
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内

(72)発明者 中原 茂
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内
ドーム(参考) 2G032 AA07 AB01 AC03 AE10 AG02
AG10 AK11 AK14 AL00
SL106 DD22 DD23 DD25 GG03